

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-087840

(43)Date of publication of application : 06.04.1993

(51)Int.Cl.

G01R 19/165

G01R 19/32

G05F 5/00

H02J 1/00

(21)Application number : 03-247596

(71)Applicant : MITSUMI ELECTRIC CO LTD

(22)Date of filing : 26.09.1991

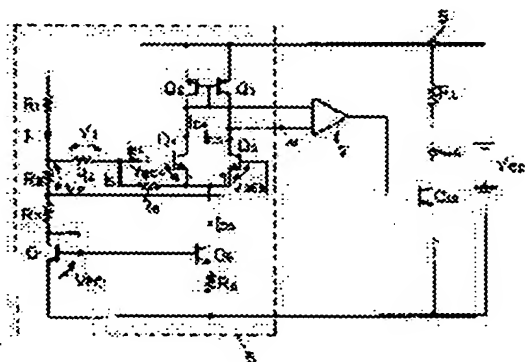
(72)Inventor : FURUYA MISAO

(54) VOLTAGE DETECTING CIRCUIT

(57)Abstract:

PURPOSE: To detect the variation of the electric power source voltage in stable manner for the variation of the environmental temperature, as for a voltage detecting circuit fir detecting the variation of the electric power source voltage.

CONSTITUTION: An electric power source voltage V_{cc} is divided by resistors R1, R2 and R3 and a transistor Q1. A pair of differential transistors Q4 and Q5 connected in common with an emitter are constituted so that the base-emitter normal direction voltage has an offset voltage. The divided voltage on the under side of the resistor R2 is inputted into the base of the transistor Q5. The divided voltage on the upper side of the resistor R2 is supplied into the base of the transistor Q4 through a resistor R4. A resistor R5 is connected between the base and emitter of the transistor Q4. The temperature coefficient of the threshold value voltage of the electric power source voltage V_{cc} for the reversal of the outputs of the transistors Q4 and Q5 is the sum of the negative value corresponding to the energy in the prohibited band width of a semiconductor which constitutes the transistors Q4 and Q5, positive value corresponding to the base-emitter normal direction voltage of the transistors Q4 and Q5 and the value which is positive or negative according to the offset voltage, and can be set zero by the values of the resistors R1, R2, R3, R4, and R5 and the offset voltage value.



LEGAL STATUS

[Date of request for examination]

10.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3218641
[Date of registration] 10.08.2001
[Number of appeal against examiner's decision
of rejection]
[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3218641号
(P3218641)

(45) 発行日 平成13年10月15日 (2001. 10. 15)

(24) 登録日 平成13年 8 月10日 (2001. 8. 10)

(51) Int.Cl.⁷ 識別記号
G 0 1 R 19/165
19/32
G 0 5 F 5/00
H 0 2 J 1/00 3 0 6

F I
G 0 1 R 19/165 A
19/32
G 0 5 F 5/00 Z
H 0 2 J 1/00 3 0 6 B

請求項の数 1 (全 7 頁)

(21) 出願番号 特願平3-247596
(22) 出願日 平成 3 年 9 月 26 日 (1991. 9. 26)
(65) 公開番号 特開平5-87840
(43) 公開日 平成 5 年 4 月 6 日 (1993. 4. 6)
審査請求日 平成10年 7 月10日 (1998. 7. 10)

(73) 特許権者 000006220
ミツミ電機株式会社
東京都調布市国領町 8 丁目 8 番地 2
(72) 発明者 古谷 操
神奈川県伊勢原市沼目 5 - 25 - 9
(74) 代理人 100070150
弁理士 伊東 忠彦 (外 1 名)

審査官 武田 知晋

(56) 参考文献 特開 平 2 - 178814 (J P, A)

(58) 調査した分野(Int.Cl.⁷, D B 名)
G01R 19/00 - 19/32
G05F 3/00 - 7/00
H02J 1/00 - 1/16

(54) 【発明の名称】 電圧検出回路

1

(57) 【特許請求の範囲】

【請求項 1】 入力直流電圧を所定の分圧比に分圧する分圧手段と、該分圧手段よりの第 1 の分圧電圧がベースに入力される第 1 のトランジスタと、該第 1 のトランジスタとエミッタを共通接続され該第 1 のトランジスタとベース・エミッタ間電圧が異なる第 2 のトランジスタとを具備し、
該分圧手段よりの第 2 の分圧電圧を該第 2 のトランジスタのベースに入力して、前記入力直流電圧が所定値となったときに前記第 1 及び第 2 のトランジスタのベース入力電圧の差の電圧が前記第 1 及び第 2 のトランジスタ夫々のベース・エミッタ間電圧の差の電圧となり、前記入力直流電圧が所定値となったことを検出する電圧検出回路において、
一端に前記第 2 の分圧電圧が付与され他端を前記第 2 の

2

トランジスタのベースに接続された第 1 の抵抗と、前記第 2 のトランジスタのベース・エミッタ間に接続された第 2 の抵抗とを具備し、
前記分圧比と、前記第 1 及び第 2 のトランジスタ夫々のベース・エミッタ間電圧と、前記第 1 及び第 2 の抵抗夫々の抵抗値とを設定することにより、前記所定値に設定するとともに、前記所定値の温度係数が零となるようにすることを特徴とする電圧検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電圧検出回路に係り、特に電源電圧の変動を検出する電圧検出回路に関する。

【0002】

【従来の技術】 従来より、CPU (Central Processing Unit: 中央演算処理装置) システム等に於いて電源電圧

3

の変動を検出し、電源投入時にCPUを初期リセットしたり、電源電圧の瞬時低下時にCPUをリセットするための電圧検出回路が知られている。

【0003】図4は従来の電圧検出回路の一例を適用したリセット回路の回路図である。同図において、 V_{cc} は電源電圧で、例えばCPU等の電源として使用されている。電圧検出回路1は、トランジスタ Q_1 、トランジスタ Q_2 、 \dots 、 Q_n 、からなる差動増幅器、及び抵抗 R_1 、 \dots 、 R_n 、 R_{n+1} 、 \dots 、 R_{n+m} により構成されている。電圧検出回路1には、抵抗 R_1 を介して入力端子5より電源電圧 V_{cc} （入力直

流電圧）が供給されている。
【0004】駆動回路2は、トランジスタ Q_7 、 \dots 、 Q_{11} 、及び抵抗 R_7 、 R_{11} により構成されている。出力回路3は、出力トランジスタ Q_{12} 、及び抵抗 R_{12} により構成されている。出力トランジスタ Q_{12} のコレクタには、出力端子4を介して負荷抵抗 R_L が接続されている。駆動回路2は、電圧検出回路1の出力に応じて出力回路3の出力トランジスタ Q_{12} を駆動する。出力端子4にはCPU等のリセット信号入力端子が接続される。

【0005】電圧検出回路1は、抵抗 R_1 を介して入力端子5より供給される電源電圧 V_{cc} を、直列に接続された抵抗 R_1 、 R_2 、 R_3 、 R_4 、 R_5 、 R_6 （分圧手段）により分圧している。抵抗 R_1 、 R_2 の接続点はトランジスタ Q_4 （第2のトランジスタ）のベースに接続されている。

【0006】抵抗 R_1 、 R_2 の接続点はトランジスタ Q_4 （第1のトランジスタ）のベースに接続され、第1の分圧電圧である抵抗 R_1 、 R_2 の接続点の電圧がトランジスタ Q_4 のベースに入力されている。トランジスタ Q_4 、 Q_5 は、エミッタを共通接続された差動対トランジスタである。トランジスタ Q_4 、 Q_5 は夫々のエミッタ電流密度を不均一に設定されていて、ベース・エミッタ間電圧がオフセット電圧 ΔV_{BE} を持つよう構成されている。

【0007】トランジスタ Q_4 は、コレクタをトランジスタ Q_4 、 Q_5 の共通エミッタに、ベースを抵抗 R_7 、 R_8 の接続点に、エミッタを抵抗 R_9 を介してグランドに接続されている。トランジスタ Q_5 は、トランジスタ Q_4 のコレクタ電流 I_{C4} を定電流としている。

【0008】電源が投入され、電源電圧 V_{cc} が0ボルトからしだいに上昇してたとえば1.2Vとなると、 I_{C4} 、 I_{C5} が流れてトランジスタ Q_4 、 Q_5 がオンし、差動増幅器が動作し始める。これにより、駆動回路2のトランジスタ Q_7 、 \dots 、 Q_{11} 並びに出力回路3の出力トランジスタ Q_{12} がオンして出力端子4の出力電圧 V_o が電源電圧 V_{cc} から0ボルトとなり、CPUの初期リセットが行われる。

【0009】電源電圧 V_{cc} がさらに上昇し続けると、トランジスタ Q_4 、 Q_5 の各ベース入力電圧の差が ΔV_{BE} に近づき、出力トランジスタ Q_{12} の出力電流 I_{C12} が増加する。トランジスタ Q_4 、 Q_5 の各ベース入力電圧の差が ΔV_{BE} となるまで V_{cc} が上昇すると、差動増幅器の出力

4

であるトランジスタ Q_4 の出力が反転してトランジスタ Q_4 がオフし、トランジスタ Q_5 、 Q_{10} 、 Q_{11} 及び出力回路3の出力トランジスタ Q_{12} がオフする。よって、出力電圧 V_o は0ボルトから電源電圧 V_{cc} に上昇する。電源電圧 V_{cc} はさらに上昇し、正規の電源電圧、たとえば5Vとされる。

【0010】一方、電源電圧 V_{cc} が正規の電源電圧5Vからしだいに低下してトランジスタ Q_4 、 Q_5 のベース入力電圧の差が ΔV_{BE} となると、トランジスタ Q_4 の出力が反転する。これによりトランジスタ Q_4 がオンし、トランジスタ Q_5 、 Q_{10} 、 Q_{11} 及び出力トランジスタ Q_{12} がオンして出力電圧 V_o が電源電圧 V_{cc} から0ボルトとなり、ローレベルのリセット信号が出力端子4に出力される。

【0011】このように、正規の電源電圧からの電源電圧の低下を電圧検出回路1により検出してリセット信号を出力端子4に出力し、CPU等をリセットしていた。

【0012】

【発明が解決しようとする課題】しかしながら従来の電圧検出回路では、環境温度が変化すると差動対トランジスタの V_{BE} が変化し、リセット信号が出力される検出電圧が不安定になる問題があった。

【0013】近年、CPU等を搭載した電子機器は、バッテリーで動作するノート型コンピュータ等のように携帯されて使用される機会が増えている。このため環境温度の変化も大きくなっており、これに対して安定に動作することが要求されている。

【0014】上記の点に鑑み本発明では、環境温度が変化しても電源電圧の変動を安定に検出出来る電圧検出回路を提供することを目的とする。

【0015】

【課題を解決するための手段】上記の問題を解決するために本発明では、入力直流電圧を所定の分圧比に分圧する分圧手段と、該分圧手段よりの第1の分圧電圧がベースに入力される第1のトランジスタと、該第1のトランジスタとエミッタを共通接続され該第1のトランジスタとベース・エミッタ間電圧が異なる第2のトランジスタとを具備し、該分圧手段よりの第2の分圧電圧を該第2のトランジスタのベースに入力して、前記入力直流電圧が所定値となったときに前記第1及び第2のトランジスタのベース入力電圧の差の電圧が前記第1及び第2のトランジスタ夫々のベース・エミッタ間電圧の差の電圧となり、前記入力直流電圧が所定値となったことを検出する電圧検出回路において、一端に前記第2の分圧電圧が付与され他端を前記第2のトランジスタのベースに接続された第1の抵抗と、前記第2のトランジスタのベース・エミッタ間に接続された第2の抵抗とを具備し、前記分圧比と、前記第1及び第2のトランジスタ夫々のベース・エミッタ間電圧と、前記第1及び第2の抵抗夫々の抵抗値とを設定することにより、前記所定値に設定する

とともに、前記所定値の温度係数が零となるようにした。

【0016】

【作用】上記の構成によれば、第1及び第2のトランジスタのベース入力電圧の差の電圧が第1及び第2のトランジスタ夫々のベース・エミッタ間電圧の差の電圧となると入力直流電圧が所定値となったことが検出されるが、この所定値の温度係数は、少なくとも第1及び第2のトランジスタを構成する半導体の禁制帯幅のエネルギーに応じた負の値と第1及び第2のトランジスタのベース・エミッタ間電圧に応じた正の値と第1及び第2のトランジスタのベース・エミッタ間電圧の差に応じて正または負となる値との和の値とされるよう作用し、夫々の値は分圧比と第1及び第2のトランジスタ夫々のベース・エミッタ間電圧と第1及び第2の抵抗夫々の抵抗値とにより任意の値に設定され、勿論零にも設定されるよう作用する。

【0017】

【実施例】図1は本発明の第1実施例の回路図である。

【0018】同図に示す電圧検出回路6は、図4に示した従来の電圧検出回路1において、トランジスタ Q_1 のベースを抵抗 R_1 を介して抵抗 R_1, R_2 の接続点に接続し、トランジスタ Q_1 のベース・エミッタ間に抵抗 R_1 を接続して構成した。

$$\Delta V_{BE} = V_{BE1} - V_{BE2}$$

となる。

【0023】回路各部の電圧、電流を図示のとおり定め*

$$I_{C1} = I_{C2}$$

である。

【0024】また、 $i_{B1} \ll I_1$ とすると、抵抗 R_1 の★30

$$V_1 = R_1 I_1 = V_{BE1}, R_1 / R_2$$

であるので、抵抗 R_2 の両端電圧 V_2 は

$$V_2 = V_1 + \Delta V_{BE}$$

となる。

【0025】したがって、(3)、(4)式より、抵抗 R_1 ★

$$V_1 = V_{BE1}, R_1 / R_2 + \Delta V_{BE} \quad (5)$$

となる。

【0026】ところで、トランジスタ Q_1 のベース・エ

$$V_{BE1} = V_{GO}(1 - T/T_0) + V_{BE01}(T/T_0) \quad (6)$$

$$\Delta V_{BE} = (kT/q) \ln(n) \quad (7)$$

で表される。

【0027】ただし、 V_{GO} はトランジスタ Q_1, Q_2 を構成するシリコンの禁制帯幅のエネルギー(1.12~1.17[eV])、 T は動作温度[°K]、 T_0 は基準となる動作温度[°K]、 V_{BE01} は $T=T_0$ のときのトランジ

$$V_2 = (R_1/R_2) \{V_{GO}(1 - T/T_0) + V_{BE01}(T/T_0) + (kT/q) \ln(n)\} \quad (8)$$

となる。次に、入力端子5に入来する電源電圧 V_{CC} の閾値電圧 V_{sh} は、 $i_{B1} \ll I_1 < I_2$ とすると

$$V_{sh} = V_{BE1} + V_2(R_1 + R_2 + R_3)/R_2 + R_1 I_1 \quad (9)$$

で表される。

【0019】上記構成の電圧検出回路6は、基本的な動作は従来の電圧検出回路1と同様である。すなわち、電源電圧 V_{CC} が低下して所定の閾値電圧 V_{sh} となるとトランジスタ Q_1, Q_2 の出力が反転する。そして、電圧検出回路6の検出出力は差動増幅器7により増幅され、出力トランジスタ Q_3 を駆動し、出力端子4にリセット信号が出力される。

【0020】ところで、差動対トランジスタ Q_1, Q_2 はエミッタ接合面積を差別化することにより夫々のエミッタ電流密度を不均一に設定されていて、ベース・エミッタ間電圧がオフセット電圧 ΔV_{BE} を持つよう構成されている。

【0021】そして、入力端子5に入来する電源電圧 V_{CC} が閾値電圧 V_{sh} となるとトランジスタ Q_1, Q_2 の各ベース間電圧が ΔV_{BE} となるよう、抵抗 R_1, \dots, R_3 およびダイオード接続されたトランジスタ Q_1 によりトランジスタ Q_1, Q_2 の各ベースが分圧されている。これにより、 $V_{CC} = V_{sh}$ において、トランジスタ Q_1, Q_2 にて構成する差動増幅器の出力が反転し、電源電圧 V_{CC} の低下が検出される。

【0022】トランジスタ Q_1, Q_2 のエミッタ接合面積比を1:n、トランジスタ Q_1, Q_2 のベース・エミッタ間電圧を V_{BE1}, V_{BE2} とする。トランジスタ Q_1, Q_2 のベース入力オフセット電圧 ΔV_{BE} は、

$$(1)$$

※る。 $I_{C1} > I_{A1}$ とすると、トランジスタ Q_1, Q_2 で構成する差動増幅器の平衡条件は

$$(2)$$

★両端電圧 V_1 は

$$(3)$$

$$(4)$$

☆、の両端電圧 V_2 は

$$(5)$$

◆ミッタ間電圧 V_{BE} 、およびトランジスタ Q_1, Q_2 の入力オフセット電圧 ΔV_{BE} は

$$(6)$$

$$(7)$$

*スタ Q_1 のベース・エミッタ間電圧[V]、 k はボルツマン定数 1.380662×10^{-23} [J K⁻¹]、 q は電子の電荷量 $1.6021892 \times 10^{-19}$ [C]である。

【0028】したがって、(5)式より

50 【0029】またここで、トランジスタ Q_1 のベース・

エミッタ間電圧 V_{EE} は

$$V_{EE} = V_{GO}(1-T/T_0) + V_{BE01}(T/T_0) \quad (10)$$

$$I_1 = V_{EE} / R_1 \quad (11)$$

であるので(ただし、 V_{BE01} は $T=T_0$ のときのトランジスタ Q_1 のベース・エミッタ間電圧)、 $I_1 < I_1$ とすると、

$$V_{sh} = V_{BE1} + \frac{(R_1 + R_2 + R_3)}{R_2} V_2 \quad (12)$$

$$\begin{aligned} &= V_{GO}(1-T/T_0) + V_{BE01}(T/T_0) \\ &+ \frac{(R_1 + R_2 + R_3)}{R_2} \left\{ \frac{R_4}{R_5} \{V_{GO}(1-T/T_0) + V_{BE04}(T/T_0)\} \right. \\ &\quad \left. + \frac{kT}{q} \ln(n) \right\} \quad (13) \end{aligned}$$

$$\begin{aligned} &= V_{GO}(1-T/T_0) \left\{ 1 + \frac{R_4(R_1 + R_2 + R_3)}{R_2 R_5} \right\} \\ &+ (T/T_0) \left\{ V_{BE01} + \frac{R_4(R_1 + R_2 + R_3)}{R_2 R_5} V_{BE04} \right\} \\ &+ \frac{R_1 + R_2 + R_3}{R_2} \cdot \frac{kT}{q} \ln(n) \quad (14) \end{aligned}$$

【0031】となる。

※おき、辺々を温度 T で偏微分すると、

【0032】(14)式において、 $R_4(R_1 + R_2 + R_3)$ 【0033】

$/R_2 R_5 = r_1$ 、 $(R_1 + R_2 + R_3)/R_2 = r_2$ と※30 【数2】

$$\frac{\partial V_{sh}}{\partial T} = -\frac{V_{GO}}{T_0}(1+r_1) + \frac{1}{T_0} (V_{BE01} + r_1 V_{BE04}) + \frac{r_2 k}{q} \ln(n)$$

(15)

【0034】となる。

★ $\partial V_{sh} / \partial T$ が零となるように r_1 、 r_2 および n の値を設定すれば、閾値電圧 V_{sh} が温度特性を持たないように構成することができる。

【0035】(15)式は閾値電圧 V_{sh} の温度係数 $(\partial V_{sh} / \partial T)$ を示しており、 r_1 、 r_2 および n の値により正または負の任意の値を取り得る。したがって、 $(\partial V_{sh} / \partial T)$ ★

【0036】すなわち、

$$V_{GO}(1+r_1) = V_{BE01} + r_1 V_{BE04} + (r_2 k T_0 / q) \ln(n) \quad (16)$$

$$\therefore V_{BE01} + r_1 V_{BE04} = V_{GO}(1+r_1) - (r_2 k T_0 / q) \ln(n) \quad (17)$$

なる条件を満足するように抵抗 R_1, R_2, R_3, R_4, R_5 の値を選び、トランジスタ Q_1, Q_4 のエミッタ接合面積比 n を設定することにより、閾値電圧 V_{sh} の温度係数 $(\partial V_{sh} / \partial T)$ ★

☆ $V_{sh} / \partial T = 0$ となる。

【0037】ところで、 $T=T_0$ のときの閾値電圧 V_{sh} は、(14)式において $T=T_0$ と置くことにより

$$V_{sh_0} = V_{BE01} + r_1 V_{BE04} + (r_2 k T_0 / q) \ln(n) \quad (18)$$

で表される。

【0039】このように本実施例によれば、電源電圧 V_{cc} が変動したときにトランジスタ Q_1, Q_4 の出力が反転する閾値電圧 V_{sh} の温度係数を、抵抗 R_1, R_2, R_3, R_4, R_5 およびトランジスタ Q_1, Q_4 のエミッタ接合面積比 n を選ぶことにより正または負の任意の値に設定するこ

【0038】ただし、上記実施例の回路において I_1 が大きくて I_1 に比べて無視出来ない場合には、(9)式において第3項 $R_1 I_1$ を考慮する必要がある。しかし、 $R_1 > R_2$ として設計すれば余り問題にならない。

とができる。勿論、上記のとおりこれを零とすることも可能である。

【0040】これにより、環境温度が変化しても閾値電圧 V_{sh} が変動することなく、電源電圧 V_{cc} の低下を電圧検出回路 6 により安定に検出することが可能となる。電圧検出回路 6 の検出出力は差動増幅器 7 により増幅されて出力トランジスタ Q_{11} を駆動し、出力端子 4 にリセット信号が出力される。

【0041】なお、抵抗 R_1 による電圧降下 $R_1 I_1$ が上記実施例中の抵抗 R_1 による電圧降下分 $R_1 I_1$ だけ大きくなるよう抵抗 R_1 の値を設定すれば、抵抗 R_1 を短絡して省略することができる。

【0042】また、抵抗 R_1 を省略せずに抵抗 R_1 を省略し、抵抗 R_1 を入力端子 5 に直接接続して電源電圧 V_{cc} を分圧しても構わない。

【0043】次に、図 2 は本発明の第 1 実施例を適用したリセット回路の一例の回路図である。同図中、図 1 および図 4 と同一構成部分には同一符号を付してある。図 2 において、電圧検出回路 6 の出力には駆動回路 8 が接続され、これにより出力回路 3 を駆動している。

【0044】駆動回路 8 は、トランジスタ Q_3, Q_4 、抵抗 R_{10} 、およびコレクタの一部をベースに帰還されたマルチコレクタトランジスタ Q_{11}, Q_{12} からなっている。マルチコレクタトランジスタ Q_{11} のベースは、電圧検出回路 6 のトランジスタ Q_1 のコレクタに接続されてい

$$I_{c1} = n_2 I_{c2}$$

となる。

【0049】また、トランジスタ Q_1, Q_2 の入力オフセット

$$\Delta V_{be} = (kT/q) \ln(n_1, n_2)$$

となり、第 1 実施例の場合と比べて $\ln(n_1, n_2/n)$ 倍にできる。したがって、(5) 式において第 1 項 ($V_{be}, R_1/R_2$) を小さくできるので、抵抗 R_1 による電流分をトランジスタ Q_1 に多く流すことができる。

【0050】

【発明の効果】上述の如く本発明によれば、入力直流電圧が正の値と負の値との和の値により任意の温度係数とされる所定値となったことを検出できるため、勿論この所定値の温度係数を零に設定することもできて、環境温度が変化しても入力直流電圧の変動を安定に検出出来る特長がある。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例の回路図である。

【図 2】本発明の第 1 実施例を適用したリセット回路の一例の回路図である。

＊る。

【0045】上記の構成により、抵抗 R_{11} を介して入力端子 5 に入来する電源電圧 V_{cc} が閾値電圧 V_{sh} となると、電圧検出回路 6 のトランジスタ Q_1 のコレクタ出力電圧が反転しローレベルとなり、駆動回路 8、出力回路 3 を介して出力端子 4 にリセット信号が出力される。電圧検出回路 6 は、(17) 式を満足するよう構成されており、温度変化に対して閾値電圧 V_{sh} が変動することなく、一定の閾値電圧 V_{sh} において安定に CPU 等のリセットを行うことができる。

【0046】また、図 2 において、トランジスタ Q_2 のベース・コレクタを分離しトランジスタ Q_2 のベース・コレクタを共通接続して、駆動回路 8 のマルチコレクタトランジスタ Q_{11} のベースを、電圧検出回路 6 のトランジスタ Q_1 のコレクタ出力に接続すれば、出力端子 4 への出力リセット信号の極性を上記と逆にすることができる。

【0047】次に、図 3 は本発明の第 2 実施例の要部の回路図である。同図の回路構成は、図 1 に示した電圧検出回路と同様である。図 3 に示す電圧検出回路 9 は、トランジスタ Q_1, Q_2 の電流比を $1 : n_1$ とすると同時に、トランジスタ Q_1, Q_2 の定電流負荷であるトランジスタ Q_3, Q_4 の電流比にも $n_2 : 1$ の重み付けをして構成した。

【0048】この差動増幅器の平衡条件は

$$(20)$$

※ ット電圧は

$$(21)$$

【図 3】本発明の第 2 実施例の回路図である。

【図 4】従来の電圧検出回路の一例を適用したリセット回路の回路図である。

【符号の説明】

1, 6, 9 電圧検出回路

2, 8 駆動回路

3 出力回路

4 出力端子

5 入力端子

7 差動増幅器

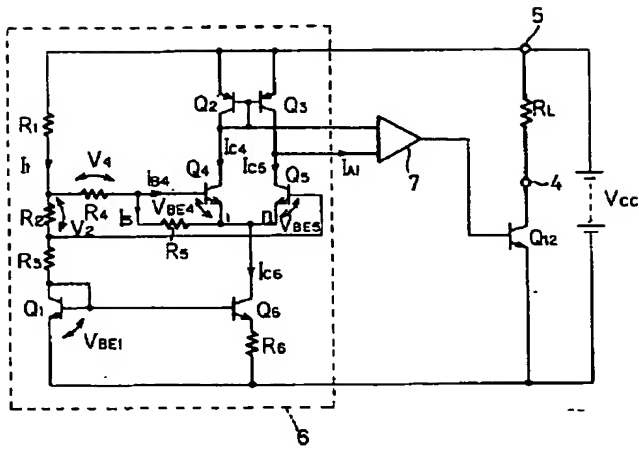
40 R_1, \dots, R_n 抵抗

Q_1, Q_2, Q_3, Q_4 トランジスタ

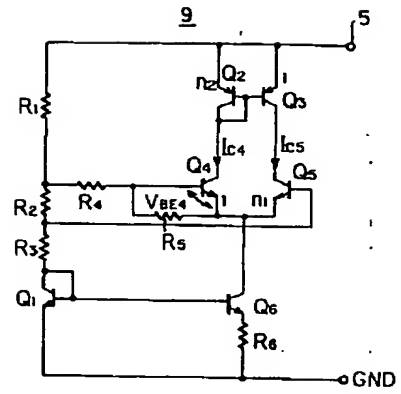
V_{cc} 電源電圧

V_{sh} 閾値電圧

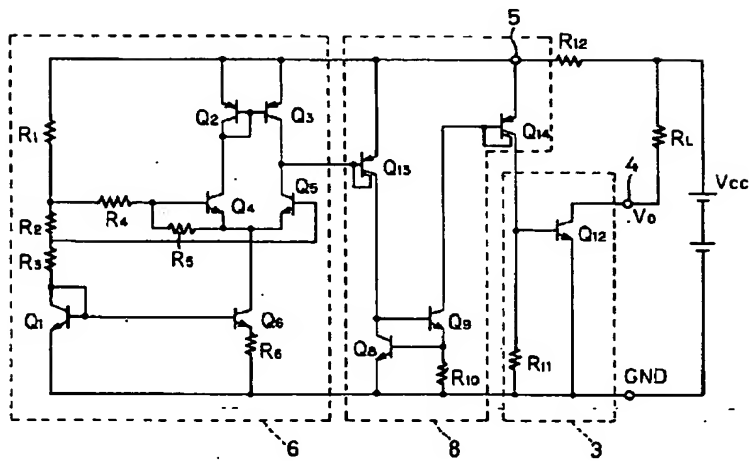
【図1】



【図3】



【図2】



【図4】

